

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/50

(11) 공개번호 특 1998-00222
(43) 공개일자 1998년 10월 15일

(21) 출원번호	특 1997-000091
(22) 출원일자	1997년 01월 06일
(71) 출원인	삼성전자 주식회사 강광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 오세훈
(74) 대리인	서울특별시 관악구 신림2동 1564-71 임창현
(54) 발명의 명칭	반도체 보호 소자

본 발명은 반도체로부터 반도체 장치의 내부 회로를 보호하는 절연막 보호 소자의 기생 전류 경로를 차단하는 절연막 보호 소자에 관한 것으로, 반도체 기판과, 상기 반도체 기판에 형성된 n 형 웰 영역과, 상기 n 형 웰 영역 내에 n⁺ 형 불순물 이온을 주입하여 형성된 n⁺ 형 불순물 영역과, 상기 n 형 웰 영역 내에 p⁺ 도펀트 불순물 이온을 주입하여 형성된 p⁺ 형 불순물 영역을 갖는 절연막 보호 소자에 있어서, 상기 절연막 보호 소자는, 상기 n 형 웰 영역의 일 내측과 상기 n⁺ 형 불순물 영역과의 사이, 그리고 상기 n 형 웰 영역의 다른 내측과 상기 p⁺ 형 불순물 영역과의 사이에 각각 상기 n 형 웰 영역 보다 상대적으로 높은 저항의 불순물 이온을 주입하여 형성된 가이딩 영역을 포함한다. 이와 같은 장치에 의해서, 절연막 보호 소자에서 발생하는 기생 prp 트랜지스터에 의한 전류 경로를 차단할 수 있고, 아울러 EOS 테스트에서의 반도체 소자의 불량 유발과 같은 문제점을 해결할 수 있다.

도 1은

도 2

도 3

도 4는 본 발명의 실시예

도 1은 종래 절연막 보호 소자의 구조를 개략적으로 보여주는 단면도.

도 2는 본 발명의 실시예에 따른 절연막 보호 소자의 구조를 상세히 보여주는 단면도.

• 도면의 주요 부분에 대한 부호 설명

10 : 반도체 기판 12, 14 : 매몰층

20, 30 : 웰 영역 22, 32 : p⁺ 불순물 영역

24, 34 : n⁺ 불순물 영역 26a, 26b, 36a, 36b : 가이딩링

도 1은 본 발명의 실시예

도 2는 본 발명의 실시예

도 3은 본 발명의 실시예에 따른 절연막 보호 소자의 구조를 상세히 보여주는 단면도.

본 발명은 절연막 보호 소자에 관한 것으로, 좀 더 구체적으로는, 절연막으로부터 반도체 장치의 내부 회로를 보호하는 절연막 보호 소자의 기생 전류 경로(parasitic current path)를 차단하는 절연막 보호 소자에 관한 것이다.

도 1에는 종래 절연막 보호 소자의 구조가 개략적으로 도시되어 있다.

도 1을 참조하면, 종래 절연막 보호 소자는, n 형 매몰층(12, 14)이 형성된 p 형 반도체 기판(10)과, 상기 반도체 기판(10)에 n 형 불순물 이온을 주입하여 형성된 복수의 n 형 영역(20, 30)과, 상기 복수의 n 형 영역(20, 30)사이의 상기 반도체 기판(10)에 상기 복수의 n 형 영역(20, 30)을 격리하도록 p 형 불순물 이온을 주입하여 형성된 p 형 영역(40)과, 상기 복수의 n 형 영역(20, 30)의 각각에 p⁺ 형 불순물 이온을 주입하여 형성된 p⁺ 형 불순물 영역(22, 32)과, 상기 복수의 n 형 영역(20, 30)의 각각에 n⁺ 형 불순물 이온을 주입하여 형성된 n⁺ 형 불순물 영역(24, 34)을 포함하는 구조를 갖는다.

그러나, 상술한 종래 기술의 보호 소자에 있어서, 외부로부터 정전기가 인가되면 상기 복수의 p+ 형 영역(22, 32)과 상기 p+ 형 불순물 영역(22, 32)에 형성된 각각의 n형 영역(20, 30), 그리고 반도체 기판(10)에 바이폴라 트랜지스터의 에미터(emitter), 베이스(base), 그리고 컬렉터(collector)의 역할을 수행하게 된다.

이로 인해, 도 1에 참조 번호 40로 도시된 바와 같이 기생 pnp 트랜지스터(parasitic pnp transistor)에 의한 전류 경로(current path)가 형성되고, 따라서, 정전기 보호 소자가 외부로부터 인가된 정전기를 완만히 방전시킬 수 없게 된다.

또한, 상기한 전류 경로에 의해서 완성된 반도체 소자의 전기적인 특성을 테스트하는 EOS 테스트에서 전류 레벨이 높을 시에는 반도체 소자의 불량에 유발되는 문제점이 발생된다.

본 발명의 목적과 특징

상술한 문제점을 해결하기 위한 제1인 본 발명은 정전기로부터 반도체 장치의 내부 회로를 보호하는 정전기 보호 소자의 기생 전류 경로를 차단할 수 있는 정전기 보호 소자를 제공하는 데 그 목적이 있다.

본 발명의 구성

(구성)

상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 기판과, 상기 반도체 기판내에 형성된 제 1 도전형 웰 영역과, 상기 제 1 도전형 웰 영역 내에 제 1 도전형 불순물 이온을 주입하여 형성된 제 1 도전형 불순물 영역과, 상기 제 1 도전형 웰 영역 내에 제 2 도전형 불순물 이온을 주입하여 형성된 제 2 도전형 불순물 영역을 갖는 정전기 보호 소자에 있어서, 상기 정전기 보호 소자는, 상기 제 1 도전형 웰 영역의 일 내측과 상기 제 1 도전형 불순물 영역과의 사이, 그리고 상기 제 1 도전형 웰 영역의 다른 내측과 상기 제 2 도전형 불순물 영역과의 사이에 각각 상기 제 1 도전형 웰 영역 보다 상대적으로 높은 농도의 불순물 이온을 주입하여 형성된 가이딩 영역을 포함한다.

이 특징의 바람직한 실시예에 있어서, 상기 제 1 도전형 웰 영역은 n형 웰 영역이다.

이 특징의 바람직한 실시예에 있어서, 상기 제 1 도전형 불순물 이온은 n+ 형 불순물 이온이고, 상기 제 2 도전형 불순물 이온은 p+ 형 불순물 이온이다.

이 특징의 바람직한 실시예에 있어서, 상기 가이딩 영역은 n+ 형 불순물 이온 영역이다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 정전기 보호 소자는, 제 1 도전형 반도체 기판과; 상기 제 1 도전형 반도체 기판내에 형성된 제 2 도전형 웰 영역과; 상기 제 2 도전형 웰 영역 내에 형성된 제 1 도전형 불순물 영역과; 상기 제 1 도전형 불순물 영역과 횡방향으로 소정의 거리를 두고, 상기 제 2 도전형 웰 영역 내에 형성된 제 2 도전형 불순물 영역과; 상기 제 2 도전형 웰 영역의 일 내측과 상기 제 1 도전형 불순물 영역과의 사이, 그리고 상기 제 2 도전형 웰 영역의 다른 내측과 상기 제 2 도전형 불순물 영역과의 사이에 각각 형성된 제 2 도전형 가이딩 영역을 포함한다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형 반도체 기판은 p형 반도체 기판이다.

이 장치의 바람직한 실시예에 있어서, 상기 제 2 도전형 웰 영역은 n형 웰 영역이다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형 불순물 영역은 p+ 형 불순물 영역이고, 상기 제 2 도전형 불순물 영역은 n+ 형 불순물 이온이다.

이 장치의 바람직한 실시예에 있어서, 상기 가이딩 영역은 n+ 형 불순물 영역이다.

이 장치의 바람직한 실시예에 있어서, 상기 가이딩 영역은 상기 제 2 도전형 웰 영역 보다 상대적으로 높은 농도의 불순물 영역이다.

(작용)

이와 같은 장치에 의해서, 정전기 보호 소자에서 발생하는 기생 pnp 트랜지스터에 의한 전류 경로를 차단할 수 있고, 아울러 EOS 테스트에서의 반도체 소자의 불량 유발과 같은 문제점을 해결할 수 있다.

(실시예)

이하, 본 발명의 실시예를 첨부 도면 도 2를 의거해서 상세히 설명한다.

도 2를 참고하면, 본 발명의 바람직한 실시예에 따른 정전기 보호 소자는, n형 웰 영역이 형성된 반도체 기판과, 상기 n형 웰 영역 내에 형성된 n+ 형 불순물 영역과, 상기 n형 웰 영역 내에 형성된 p+ 형 불순물 영역을 갖는 정전기 보호 소자에 있어서, 상기 정전기 보호 소자는, 상기 n형 웰 영역의 일 내측과 상기 p+ 형 불순물 영역과의 사이, 그리고 상기 n형 웰 영역의 다른 내측과 상기 n+ 형 불순물 영역과의 사이에 각각 상기 n형 웰 영역 보다 상대적으로 높은 농도의 불순물 이온을 주입하여 형성된 n+ 가이딩 영역을 포함한다. 이러한 장치에 의해서, 정전기 보호 소자에서 발생하는 기생 pnp 트랜지스터에 의한 전류 경로를 차단할 수 있고, 아울러 EOS 테스트에서의 반도체 소자의 불량 유발과 같은 문제점을 해결할 수 있다.

도 2에 있어서, 도 1에 도시된 정전기 보호 소자의 구성 요소와 동일한 기능을 수행하는 구성 요소에 대해서는 동일한 참조 번호를 병기한다.

도 2에는 본 발명의 실시예에 따른 정전기 보호 소자의 구조가 상세히 도시되어 있다.

도 2를 참조하면, 본 발명의 실시예에 따른 정전기 보호 소자는, n형 매몰층(12, 14)이 형성된 p형 반도체 기판(10)과, 상기 p형 반도체 기판(10)내에 n형 불순물 이온을 주입하여 횡방향으로 소정의 거리

를 두고 다른측에 형성된 복수의 n 형 웰 영역(20, 30)과, 상기 복수의 n 형 웰 영역(20, 30)의 각각에 p+ 형 불순물 이온을 주입하여 형성된 복수의 p+ 형 불순물 영역(22, 32)과, 상기 복수의 n 형 웰 영역(20, 30)의 각각에 형성된 p+ 형 불순물 영역(22, 32)과 횡방향으로 소정의 거리를 두고, 상기 복수의 n 형 웰 영역(20, 30)의 각각에 n+ 형 불순물 이온을 주입하여 형성된 n+ 형 불순물 영역(24, 34)과, 상기 복수의 n 형 웰 영역(20, 30)의 각각의 웰 내측과 그 각각의 웰 내측과 인접한 p+ 형 불순물 영역(22, 32)과의 사이, 그리고 상기 복수의 n 형 웰 영역(20, 30)의 각각의 다른 내측과 그 각각의 다른 내측과 인접한 n+ 형 불순물 영역(24, 34)과의 사이에 형성된 n+ 형 가이드링 영역(guardring region: 26a, 26b, 36a, 36b)을 포함하는 구조를 갖는다.

여기, 상기 n+ 형 가이드링 영역(26a, 26b, 36a, 36b)은 각 n+ 형 가이드링 영역에 형성된 n 형 영역(30)보다 상대적으로 고농도의 불순물 이온을 주입하여 형성된다.

실시예 1

상술한 바와 같은 구조를 갖는 일련의 보호 소자에 의해서, 일련의 보호 소자에서 발생하는 기생 pnp 트랜지스터에 의한 전류 경로를 차단할 수 있고, 아울러 CMOS 테스트에서의 반도체 소자의 불량 유형과 같은 문제점을 해결할 수 있다.

제1 실시예

청구항 1

반도체 기판(10)과, 상기 반도체 기판(10)내에 형성된 제 1 도전형 웰 영역(30)과, 상기 제 1 도전형 웰 영역(30)내에 제 1 도전형 불순물 이온을 주입하여 형성된 제 1 도전형 불순물 영역(34)과, 상기 제 1 도전형 웰 영역(30)내에 제 2 도전형 불순물 이온을 주입하여 형성된 제 2 도전형 불순물 영역(32)을 갖는 일련의 보호 소자에 있어서,

상기 제1개의 보호 소자는, 상기 제 1 도전형 웰 영역(30)의 웰 내측과 상기 제 1 도전형 불순물 영역(34)과의 사이, 그리고 상기 제 1 도전형 웰 영역(30)의 다른 내측과 상기 제 2 도전형 불순물 영역(32)과의 사이에 각각 상기 제 1 도전형 웰 영역(30)보다 상대적으로 고농도의 불순물 이온을 주입하여 형성된 가이드링 영역(36a, 36b)을 포함하여, 상기 일련의 보호 소자의 기생 전류 경로를 차단하는 것을 특징으로 하는 일련의 보호 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 도전형 웰 영역은 n 형 웰 영역인 것을 특징으로 하는 일련의 보호 소자.

청구항 3

제 1 항에 있어서,

상기 제 1 도전형 불순물 이온은 n+ 형 불순물 이온이고, 상기 제 2 도전형 불순물 이온은 p+ 형 불순물 이온인 것을 특징으로 하는 일련의 보호 소자.

청구항 4

제 1 항에 있어서,

상기 가이드링 영역(36a, 36b)은 n+ 형 불순물 이온 영역인 것을 특징으로 하는 일련의 보호 소자.

청구항 5

제 1 도전형 반도체 기판(10)과;

상기 제 1 도전형 반도체 기판(10)내에 형성된 제 2 도전형 웰 영역(30)과;

상기 제 2 도전형 웰 영역(30)내에 형성된 제 1 도전형 불순물 영역(32)과;

상기 제 1 도전형 불순물 영역(32)과 횡방향으로 소정의 거리를 두고, 상기 제 2 도전형 웰 영역(30)내에 형성된 제 2 도전형 불순물 영역(34)과;

상기 제 2 도전형 웰 영역(30)의 웰 내측과 상기 제 1 도전형 불순물 영역(32)과의 사이, 그리고 상기 제 2 도전형 웰 영역(30)의 다른 내측과 상기 제 2 도전형 불순물 영역(34)과의 사이에 각각 형성된 제 2 도전형 가이드링 영역(36a, 36b)을 포함하는 일련의 보호 소자.

청구항 6

제 5 항에 있어서,

상기 제 1 도전형 반도체 기판(10)은 p 형 반도체 기판인 일련의 보호 소자.

청구항 7

제 5 항에 있어서,

상기 제 2 도전형 웰 영역(30)은 n 형 웰 영역인 일련의 보호 소자.

청구항 8

제 5 항에 있어서,

상기 제 1 도전형 영역의 영역(32)은 p+ 형 영역을 형성하고, 상기 제 2 도전형 영역의 영역(34)은 n+ 형 영역을 형성하는 보호 소자.

청구항 9

제 5 항에 있어서,

상기 게이트링 영역(36a, 36b)은 n+ 형 영역을 형성하는 게이트 보호 소자.

청구항 10

제 5 항에 있어서,

상기 게이트링 영역(36a, 36b)은 상기 제 2 도전형 웰 영역(30)보다 상대적으로 얇고, 게이트링 영역(36a, 36b)은 보호 소자.

도 1



